

## PLATING APPARATUS AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

**Publication number:** KR20020071720

**Publication date:** 2002-09-13

**Inventor:** FUSHIDA ATSUO

**Applicant:** SEMICONDUCTOR LEADING EDGE TEC

**Classification:**

**- international:** *C25D7/12; C25D5/08; C25D17/00; H01L21/288; C25D7/12; C25D5/00; C25D17/00; H01L21/02; (IPC1-7): H01L21/288*

**- European:**

**Application number:** KR20020001330 20020110

**Priority number(s):** JP20010062920 20010307

**Also published as:**



JP2002266098 (A)

[Report a data error here](#)

### Abstract of **KR20020071720**

**PURPOSE:** To provide a plating apparatus which is capable of forming conductive films on a semiconductor substrate at a uniform film thickness. **CONSTITUTION:** A head 2 holds the semiconductor substrate 3 within a plating vessel 1 filled with a plating liquid 10. A plating liquid spout 4 gushes the plating liquid flatly to the semiconductor substrate 3 from near the semiconductor substrate 3. The plating liquid spout 4 gushes the plating liquid while rotating within the plating tank 1.

.....  
Data supplied from the **esp@cenet** database - Worldwide

# ( 19) 대한민국특허청(KR) ( 12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 21/288

(11) 공개번호 특2002- 0071720  
(43) 공개일자 2002년09월13일

(21) 출원번호 10- 2002- 0001330  
(22) 출원일자 2002년01월10일

(30) 우선권주장 JP- P- 2001- 00062920 2001년03월07일 일본(JP)  
(71) 출원인 가부시끼가이샤 한도다이 센단 테크놀로지스  
일본 이바라끼켄 쓰쿠바시 오노가와 16반지 1  
(72) 발명자 후시다아쓰오  
일본 가나가와켄요코하마시도쓰까꾸요시다쥬292반지가부시끼가이샤한도다이센단테크놀로지스내  
(74) 대리인 주성민  
안국찬

심사청구 : 없음

## (54) 도금 장치 및 반도체 장치의 제조 방법

### 요약

본 발명의 과제는 반도체 기판 상에 도전막을 균일한 막 두께로 형성하는 도금 장치를 제공하는 것이다.

헤드(2)는 도금액(10)이 채워진 도금조(1) 내에서 반도체 기판(3)을 보유 지지한다. 도금액 분출구(4)는 반도체 기판(3)의 근방으로부터 반도체 기판(3)에 대해 평면적으로 도금액을 분출한다. 또한, 도금액 분출구(4)는 도금조(1) 내에서 회전하면서 도금액을 분출한다.

대표도  
도 1

색인어  
도금조, 헤드, 반도체 기판, 도금액 분출구, 도금액, 도금 장치

명세서

도면의 간단한 설명

도1은 본 발명의 제1 실시 형태에 의한 도금 장치를 설명하기 위한 단면도.

도2는 도1에 도시한 도금액 분출구를 설명하기 위한 단면도.

도3은 본 발명의 제2 실시 형태에 의한 도금 장치를 설명하기 위한 단면도.

도4는 종래의 도금 장치를 설명하기 위한 단면도.

< 도면의 주요 부분에 대한 부호의 설명>

1 : 도금조

2 : 헤드

3 : 반도체 기판

4 : 도금액 분출구

5 : 양극

10 : 도금액

21 : 웨이퍼 누름 부재

22 : 음극

23 : 밀봉재

41 : 노즐

42 : 안내관

43 : 배관

44 : 프레임

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 장치에 관한 것으로, 특히 반도체 기판 상에 도전막을 형성하는 도금 장치 및 이 도금 장치를 이용한 반도체 장치의 제조 방법에 관한 것이다.

종래부터, 반도체 장치의 제조 공정에 있어서 반도체 기판 상에 예를 들어 Cu, Au, Ag, Pt 등으로 이루어지는 도전막을 형성할 때에 도금 장치가 이용되고 있다.

이하, 종래의 도금 장치에 대해 설명한다.

도4는, 종래의 도금 장치를 설명하기 위한 단면도이다.

도4에 있어서, 참조 부호 1은 도금조, 부호 2는 헤드, 부호 21은 웨이퍼 누름 부재, 부호 22는 옴극, 부호 23은 밀봉재, 부호 3은 반도체 기판, 부호 5는 양극, 부호 6은 도금액 공급 배관을 나타내고 있다.

종래의 도금 장치에서는, 도금조(1)의 바닥부에 배치된 도금액 공급 배관(6)으로부터 도금조(1) 내에 금속 이온(예를 들어, 구리 이온  $Cu^{2+}$ )을 포함하는 도금액을 공급하고, 반도체 기판(3)의 주요면 상에 도전막(예를 들어, 구리 박막)을 형성하고 있었다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 도금 장치에서는 도금액 공급 배관(6)으로부터 반도체 기판(3)까지의 거리가 멀었다. 이로 인해, 도금액 공급 배관(6)으로부터 도금조(1)에 공급된 도금액이 횡방향으로도 확산되어 버리는 문제가 있었다. 따라서, 도금 대상인 반도체 기판(3)의 근방에 있어서, 구리 이온의 농도가 불균일해져 버리는 문제가 있었다.

또한, 계속하여 도금 처리를 행하면 반도체 기판(3)의 근방에서 서서히 구리 이온이 부족해 버리는 문제가 있었다. 이 경우도, 반도체 기판(3)의 근방에 있어서 구리 이온의 농도가 불균일해져 버린다.

이상과 같이, 반도체 기판(3)의 표면에 균일한 농도로 도금액이 공급되지 않아, 기판에 형성된 도전막은 막 두께의 면 내 균일성이 악화된다는 문제가 있었다.

본 발명은 상기 종래의 과제를 해결하기 위해 이루어진 것으로, 반도체 기판 상에 도전막을 균일한 막 두께로 형성하는 도금 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

청구항 1의 발명에 관한 도금 장치는 기판 상에 도전막을 형성하는 도금 장치로서, 도금조와, 상기 도금조 내에서 상기 기판을 보유 지지하는 헤드와, 상기 기판의 근방으로부터 상기 기판에 대해 평면적으로 도금액을 분출하는 도금액 분출구를 구비하는 것을 특징으로 하는 것이다.

청구항 2의 발명에 관한 도금 장치는 청구항 1에 기재된 도금 장치에 있어서, 상기 도금액 분출구는 상기 도금액을 분출하는 복수의 노즐을 갖고, 상기 복수의 노즐은 평면적으로 배치되는 것을 특징으로 하는 것이다.

청구항 3의 발명에 관한 도금 장치는, 청구항 2에 기재된 도금 장치에 있어서, 상기 도금액 분출구는 상기 노즐의 구경보다도 큰 개구를 갖고 상기 노즐로부터 분출된 도금액에 직진성을 갖게 하는 복수의 안내관을 더 구비하는 것을 특징으로 하는 것이다.

청구항 4의 발명에 관한 도금 장치는 청구항 3에 기재된 도금 장치에 있어서, 상기 복수의 안내관이 폴리메이터인 것을 특징으로 하는 것이다.

청구항 5의 발명에 관한 도금 장치는 청구항 2 내지 청구항 4 중 어느 한 항에 기재된 도금 장치에 있어서, 상기 도금액 분출구가 상기 도금조의 내부에서 회전하는 것을 특징으로 하는 것이다.

청구항 6의 발명에 관한 도금 장치는 청구항 5에 기재된 도금 장치에 있어서, 상기 도금액 분출구가 상기 기판의 중심에 대해 편심하여 회전하는 것을 특징으로 하는 것이다.

청구항 7의 발명에 관한 반도체 장치의 제조 방법은 청구항 1 내지 청구항 6 중 어느 한 항에 기재된 도금 장치를 이용해 도전막을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

이하, 도면을 참조하여 본 발명의 실시 형태에 대해 설명한다. 도면 중, 동일 또는 상당하는 부분에는 동일한 부호를 부여하여 그 설명을 간략화 내지 생략하는 경우가 있다.

## &lt; 제1 실시 형태 &gt;

도1은, 본 발명의 제1 실시 형태에 따른 도금 장치를 설명하기 위한 단면도이다. 도2는 도1에 도시한 도금액 분출구를 설명하기 위한 단면도이다.

도1 및 도2에 있어서, 참조 부호 1은 도금조, 부호 2는 헤드, 부호 21은 웨이퍼 누름 부재, 부호 22는 음극, 부호 23은 밀봉재, 부호 3은 반도체 기판, 부호 4는 도금액 분출구, 부호 41은 노즐, 부호 42는 안내관, 부호 43은 배관, 부호 44는 프레임, 부호 5는 양극을 나타내고 있다.

도금조(1)는 그 내부에 도금액(10)이 채워져 있다. 또한, 도금액(10)은 황산구리 수용액( $\text{CuSO}_4 \cdot \text{H}_2\text{O}$ )이 전기 분해된 것으로, 구리 이온  $\text{Cu}^{2+}$  과 황산화물 이온  $\text{SO}_4^{2-}$  을 함유한다.

또, 도금조(1)의 단면 형상은 도1과 같은 사각형(정사각형이나 직사각형)에 한정되지 않으며, 그 사각형의 바닥면과 측면이 구성되는 각이 모따기된 형상, 혹은 역삼각형이어도 좋으며, 그 형상은 임의로 해도 좋다.

헤드(2)는 도금조(1) 내에서 반도체 기판(3)을 보유 지지하기 위한 것이다.

헤드(2)는 웨이퍼 누름 부재(21), 음극(22) 및 밀봉재(23)를 갖고 있다.

웨이퍼 누름 부재(21)는 반도체 기판(3)을 상방으로부터 압박하기 위한 것이다. 이에 의해, 반도체 기판(3)의 표면과 음극(22)이 접촉한다.

음극(22)은 도금 처리시에 반도체 기판(3)의 외주부와 접촉하여, 마이너스 전위를 반도체 기판(3)에 인가하기 위한 것이다.

밀봉재(23)는 도금조(1)로부터 헤드(2) 내부로의 도금액(10)의 유입을 방지하기 위한 것이다. 밀봉재(23)는 산성 용액에 대해 내부식성을 갖는 예를 들어 실리콘이나 케무라즈 등의 재질로 이루어지는 O링(O-ring)이다. 또한, 밀봉재(23)는 반도체 기판(3)의 외주로부터 약 3 내지 5 mm의 부분과 접하도록, 헤드(2) 내에 배치되어 있다.

또한, 헤드(2)는 도시하지 않은 구동 기구에 의해 상하로 구동된다.

반도체 기판(3)은 헤드(2)에 의해 도금조(1) 내에 보유 지지되는 도금 대상이며, 예를 들어 실리콘 기판이다. 또, 본 발명은 반도체 기판(3)에 한정되지 않으며, 석영 기판, 세라믹 기판 등의 절연 기판에도 적용할 수 있다(후술하는 제2 실시 형태에 대해서도 마찬가지임).

반도체 기판(3)은 헤드(2) 내에서 웨이퍼 누름 부재(21)에 의해 상방으로부터 가압된다. 이에 의해, 반도체 기판(3)의 외주부는 음극(22)과 접촉한다.

도금액 분출구(4)는, 반도체 기판(3)의 근방으로부터 반도체 기판(3)에 대해 평면적으로 도금액을 공급하기 위한 것이다.

여기서, 도금 분출구(4) 구체적으로는 안내관(42)(후술)의 선단부에서 반도체 기판(3)까지의 거리는 15 cm 이내로 하는 것이 적합하나, 10 cm 이내가 더 적합하다. 또, 안내관(42)을 노즐(41)에 부착하지 않는 경우에는 노즐(41)의 선단부에서 반도체 기판(3)까지의 거리를 15 cm 이내, 바람직하게는 10 cm 이내로 한다.

또한, 노즐(41)이 배치된 면적은 반도체 기판(3) 상에 도전막이 형성되는 면적 즉 도금조(1) 내에서 도금액(10)과 접촉하는 반도체 기판(3)의 면적보다도 크게 한다.

도금액 분출구(4)는, 도2에 도시한 바와 같이 복수의 노즐(41), 복수의 안내관(42), 배관(43) 및 프레임(44)을 갖고 있다.

여기서, 복수의 노즐(41)은 평면적(2차원적)으로 배치되고, 배관(43)으로부터 공급된 도금액을 분출하기 위한 것이다. 따라서, 이 복수의 노즐(41)로부터 반도체 기판(3)에 대해 평면적으로 도금액이 분출된다.

복수의 안내관(42)은, 노즐(41)의 구경보다도 큰 개구를 각각 갖고, 노즐(41)로부터 분출된 도금액에 직진성을 갖게 하는 것이다. 즉, 각 노즐(41)로부터 분출된 도금액을 수평 방향으로 확산시키는 일 없이, 반도체 기판(3)에 대해 수직으로 공급한다. 또한, 복수의 안내관(42)은, 예를 들어 콜리메이터이다.

또, 안내관(42)의 개구의 단면 형상은 원형, 삼각형, 사각형, 육각형 중의 어느 하나의 형상이어도 좋다.

또한, 노즐(41)에 안내관(42)을 부착하지 않아도 된다.

배관(43)은 외부의 도금액 공급 장치(도시 생략)로부터 공급된 도금액을 복수의 노즐(41)에 공급하기 위한 것이다.

프레임(44)은 도금액 분출구(4)의 측면에 설치되어 안내관(42)을 고정하기 위한 것이다.

상기 복수의 노즐(41), 복수의 안내관(콜리메이터)(42), 배관(43) 및 프레임(44)은 산성 용액에 대해 내부식성을 갖는 부재에 의해 제조된 것이다.

또한, 도금 분출구(4)는 도시하지 않은 회전 기구를 갖고 있다. 이에 의해, 도금액 분출구(4)는 도금조(1) 내에서 배관(43)을 회전축으로 하여 회전한다.

양극(5)은 도시하지 않은 전원 회로에 의해 플러스 전위가 인가되는 구리 전극이다. 이에 의해, 양극(5)과, 음극(22)과 접하는 반도체 기판(3) 사이에 전계가 형성된다.

다음에, 도1을 참조하여 상술한 도금 장치의 동작에 대해 설명한다.

우선, 반도체 기판(3)을 헤드(2) 내로 반송한다. 다음에, 웨이퍼 누름 부재(21)에 의해 반도체 기판(3)을 상방으로부터 압박한다. 이에 의해, 반도체 기판(3)의 외주부가 음극(22)과 접촉한다.

다음에, 헤드(2)를 하부 방향으로 이동시켜 반도체 기판(3)의 주요면을 도금조(1)의 도금액에 침지시킨다.

그리고, 음극(22)으로부터 반도체 기판(3)에 마이너스 전위를 인가하여, 양극(5)에 플러스 전위를 인가한다. 이에 의해, 도금조(1) 내에 있어서 양극(5)과 반도체 기판(3) 사이에 전계(도시 생략)가 형성된다.

다음에, 도금액 분출구(4)로부터 반도체 기판(3)에 대해 평면적으로 도금액을 분출한다. 상세하게는, 외부에 설치된 도금액 공급 장치(도시 생략)로부터 배관(43)에 공급된 도금액을 복수의 노즐(41)로부터 분출한다. 또한, 복수 노즐(41)의 각각에는 안내관(42)이 씌어져 있으며, 노즐(41)로부터 분출된 도금액은 직진성을 갖고 있다. 즉, 도금액 분출구(4)로부터 반도체 기판(3)에 대해, 수직이면서 평면적으로 도금액이 분출된다.

이상과 같이 하여, 반도체 기판(3)에 도금액이 공급되어 반도체 기판(3)의 표면에 금속이 석출된다. 즉, 반도체 기판(3)의 표면에 도전막이 형성된다.

이상 설명한 바와 같이, 본 제1 실시 형태에 의한 도금 장치에서는 반도체 기판(3)의 근방에 배치된 도금액 분출구(4)로부터 반도체 기판(3)에 대해 평면적으로 도금액을 분출하도록 했다.

이에 의해, 반도체 기판(3) 전체면에 대해 균일한 농도로 금속 이온(구리 이온)이 공급되므로, 반도체 기판(3) 상에 금속(구리)이 균일하게 석출된다.

따라서, 반도체 기판(3) 상에 균일하게 도전막을 형성할 수 있다. 바꿔 말하면, 반도체 기판(3) 상에 형성된 도전막의 막 두께의 면내 균일성을 향상시킬 수 있다.

또한, 도금액 분출구(4)를 회전시킴으로써 반도체 기판(3)에 더욱 균일하게 구리 이온을 공급할 수 있다. 따라서, 반도체 기판(3) 상에 형성된 도전막의 막 두께의 면내 균일성을 더욱 향상시킬 수 있다.

또한, 도금액 분출구(4)는 반도체 기판(3)의 근방에 배치되어 있다. 이로 인해, 도금 처리를 장시간 계속하여 행하는 경우일지라도 반도체 기판(3)의 근방에 있어서 구리 이온이 부족하지 않다.

#### < 제2 실시 형태>

도3은, 본 발명의 제2 실시 형태에 의한 도금 장치를 설명하기 위한 단면도이다.

본 제2 실시 형태에 의한 도금 장치와, 전술한 제1 실시 형태에 의한 도금 장치는 대략 동일한 구조를 갖고 있다. 본 제2 실시 형태에 의한 도금 장치와, 제1 실시 형태에 의한 도금 장치와의 차이점은 도금액 분출구(4)에 있다. 이하, 이 차이점에 대해 설명하며, 제1 실시 형태와 중복되는 설명은 생략한다.

도3에 도시한 바와 같이, 본 제2 실시 형태에 의한 도금 장치에 있어서 도금액 분출구(4)의 배관(43)은 2도 굴곡하고 있다.

그리고, 이 도금액 분출구(4)는 상기 굴곡한 배관(43)을 회전축으로 하여 회전하면서 도금액을 평면적으로 분출한다. 즉, 도금액 분출구(4)는 반도체 기판(3)의 중심에 대해 편심하여 회전한다.

상술한 바와 같이, 도금액 분출구(4)를 기판 중심에 대해 편심하여 회전시키는 구조로 한 것은, PVD(Physical Vapor Deposition) 장치에 있어서 타겟 이면의 마그넷을 편심시켜 이동하게 해 타겟의 이용 효율을 올리는 개념에 의거하고 있다.

즉, 도금액 분출구(4)를 효율적으로 사용할 수 있다.

상세하게는, 본 제2 실시 형태의 도금 장치에 있어서 도금액 분출구(4)의 직경은 반도체 기판(3)의 반경보다도 크면 좋다. 이로 인해, 도금액 분출구(4)를 소형화할 수 있다.

따라서, 도금액 분출구(4)로부터 분출하는 도금액의 양을 저감할 수 있다. 따라서, 반도체 장치의 제조 비용을 저감할 수 있다.

또한, 도금액 분출구(4)는 반도체 기판(3)의 근방(제1 실시 형태를 참조)에 배치되어, 복수의 노즐(41) 및 복수의 안내관(42)을 갖고 있다. 이로 인해, 도금액 분출구(4)로부터 반도체 기판(3)에 대해 평면적으로 도금액이 공급된다.

이상과 같이, 본 제2 실시 형태에 의한 도금 장치에 있어서 도금액 분출구(4)는 반도체 기판(3)의 중심에 대해 편심하여 회전하는 동시에, 도금액을 반도체 기판(3)에 대해 평면적으로 분출한다.

이 도금 장치는 제1 실시 형태에 의한 도금 장치와 동등, 혹은 그 이상의 균일성으로 반도체 기판(3) 상에 도전막을 형성할 수 있다.

또한, 도금액 분출구(4)를 편심하여 회전시킴으로 도금액 분출구(4)를 소형화할 수 있다. 따라서, 도금액의 분출량을 억제할 수 있어, 반도체 장치의 제조 비용을 억제할 수 있다.

#### 발명의 효과

본 발명에 따르면, 반도체 기판의 근방으로부터 반도체 기판에 대해 평면적으로 도금액을 분출할 수 있다. 이에 의해, 반도체 기판의 표면에 균일한 농도로 도금액이 공급된다. 따라서, 반도체 기판 상에 도전막을 균일한 막 두께로 형성할 수 있다.

또한, 도금액 공급부가 회전함으로써, 반도체 기판의 표면에 대해 보다 균일한 농도로 도금액을 공급할 수 있다. 따라서, 반도체 기판 상에 도전막을 더욱 균일한 막 두께로 형성할 수 있다.

또한, 도금액 공급부가 반도체 기판의 중심에 대해 편심하여 회전함으로써, 높은 균일성으로 반도체 기판에 도금액을 공급할 수 있다. 따라서, 반도체 기판 상에 형성된 도전막의 막 두께의 면내 균일성을 향상시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

기판 상에 도전막을 형성하는 도금 장치로서,

도금조와,

상기 도금조 내에서 상기 기판을 보유 지지하는 헤드와,

상기 기판의 근방으로부터 상기 기판에 대해 평면적으로 도금액을 분출하는 도금액 분출구를 구비하는 것을 특징으로 하는 도금 장치.

##### 청구항 2.

제1항에 있어서, 상기 도금액 분출구는 상기 도금액을 분출하는 복수의 노즐을 갖고, 상기 복수의 노즐은 평면적으로 배치되는 것을 특징으로 하는 도금 장치.

##### 청구항 3.

제2항에 있어서, 상기 도금액 분출구는 상기 노즐의 구경보다도 큰 개구를 갖고 상기 노즐로부터 분출된 도금액에 직진성을 갖게 하는 복수의 안내관을 더 구비하는 것을 특징으로 하는 도금 장치.

##### 청구항 4.

제3항에 있어서, 상기 복수의 안내관이 콜리메이터인 것을 특징으로 하는 도금 장치.

##### 청구항 5.

제2항 내지 제4항 중 어느 한 항에 있어서, 상기 도금액 분출구가 상기 도금조의 내부에서 회전하는 것을 특징으로 하는 도금 장치.

##### 청구항 6.

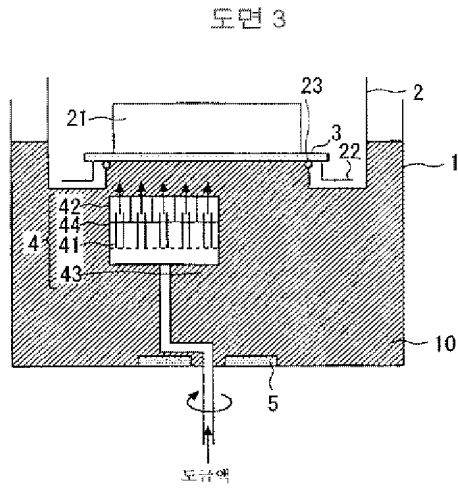
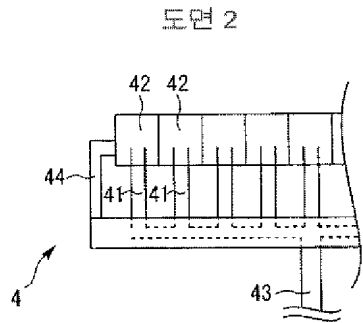
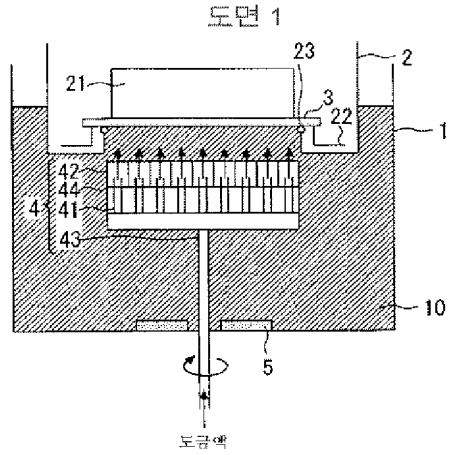
제5항에 있어서, 상기 도금액 분출구가 상기 기판의 중심에 대해 편심하여 회전하는 것을 특징으로 하는 도금 장치.

##### 청구항 7.

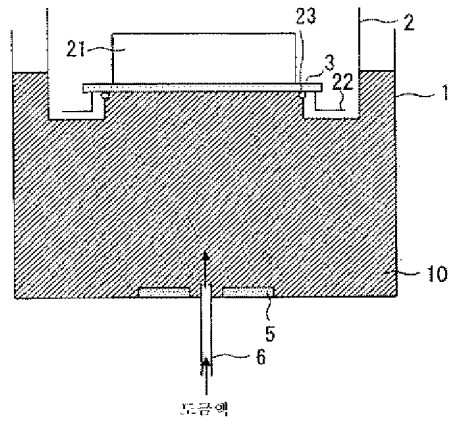
제1항 내지 제6항 중 어느 한 항에 기재된 도금 장치를 이용해 도전막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.



도면



도면 4



도면 4